

集成电路版图设计

职业技能等级标准

(2021年1.0版)

北京华大九天科技股份有限公司 制定
2021年4月 发布

目 录

前言.....	3
1. 范围.....	4
2. 规范性引用文件.....	4
3. 术语和定义.....	4
4. 适用院校专业.....	6
5. 面向职业岗位（群）	6
6. 职业技能要求.....	7
参考文献.....	12

前 言

本标准按照GB/T 1.1-2020《标准化工作导则 第1部分：标准化文件的结构和起草规则》的规定起草。

本标准起草单位：由北京华大九天科技股份有限公司主持，联合清华大学微电子学研究所、深圳信息职业技术学院、北京信息职业技术学院、青岛展诚科技有限公司、慧科教育科技集团等单位共同制订。

本标准主要起草人：郭继旺、余涵、王自强、张春、丘聪、王颖、李学礼、袁鹏飞、孙廷辉、陈滢、管刚。

声明：本标准的知识产权归属于北京华大九天科技股份有限公司，未经北京华大九天科技股份有限公司同意，不得印刷、销售。

1. 范围

本标准规定了集成电路版图设计职业技能等级对应的工作领域、工作任务及职业技能要求。

本标准适用于集成电路版图设计职业技能培训、考核与评价，相关用人单位的人员聘用、培训与考核可参照使用。

2. 规范性引用文件

下列文件对于本标准的应用是必不可少的。凡是注日期的引用文件，仅注日期的版本适用于本标准。凡是不注日期的引用文件，其最新版本适用于本标准。

《电工术语 半导体器件和集成电路》GB/T 2900.66-2004

《集成电路术语》GB/T 9178-1988

《模拟集成电路》GB/T 17940-2000

3. 术语和定义

国家、行业标准界定的以及下列术语和定义适用于本标准。

3.1 集成电路

集成电路（integrated circuit）是一种微型电子器件或部件。采用一定的工艺，把一个电路中所需的晶体管、电阻、电容和电感等元件及布线互连一起，制作在一小块或几小块半导体晶片或介质基片上，然后封装在一个管壳内，成为具有所需电路功能的微型结构；其中所有元件在结构上已组成一个整体，使电子元件向着微小型化、低功耗、智能化和高可靠性方面迈进了一大步。按其功能、结构的不同，可以分为模拟集成电路、数字集成电路和数/模混合集成电路三大类。

3.2 EDA工具

EDA (Electronic design automation, 缩写: EDA) 即电子设计自动化, 是指利用计算机辅助设计软件, 来完成大规模集成电路芯片的原理图设计、仿真、版图设计、物理验证等流程的设计方式。

3.3 电路原理图设计

电路原理图设计即借助EDA工具将不同的电子元器件连接起来以实现某种功能, 即集成电路芯片的功能设计环节。

3.4 电路图仿真

电路图仿真是不需要生产实际的电路, 在构建实际电路之前, 通过EDA工具中的电路仿真系统对电路的功能行为进行仿真验证, 预先对电路的行为和结果进行观察、研究和修正, 可以大大的提高设计效率。

3.5 集成电路版图设计

集成电路版图是一组相互套合的图形, 各层版图对应于不同的工艺步骤, 版图与所采用生产集成电路的工艺紧密相关, 集成电路版图设计即根据已经设计好的电路原理图, 按照生产工艺的要求, 设计出电路元器件的图形并进行连接的过程。

3.6 DRC/LVS物理验证

DRC (Design Rule Check, 设计规则检查) 物理验证即版图完成以后, 根据版图设计规则对版图进行检查, 看版图中是否存在不符合芯片制造厂所提供的版图设计规则要求的问题; LVS (Layout Versus Schematics, 版图和原理图对比检查) 物理验证即检查版图和电路原理图的全部器件和连接关系是否匹配。

3.7 版图寄生参数提取

版图寄生参数提取是在完成电路的版图设计之后, 提取版图互连线之间的寄生电容及电阻, 以便形成一个尽可能接近真实情形的电路系统。

3.8 电路后仿真

电路后仿真是版图设计完成以后，将版图寄生参数反标到所提取的电路网表中再次进行仿真，对电路进行分析，确保电路符合设计要求，后仿真所使用的方法、工具与前仿真没有什么不同，只是加入了版图寄生参数，电路后仿真的结果更加接近真实电路的结果。

3.9 Tape Out

Tape Out即流片，是集成电路设计过程中的最后一个步骤，即将设计好的集成电路版图文件交由晶圆代工厂去生产。

4. 适用院校专业

中等职业学校：电子与信息技术、电子技术应用、通信技术、光电仪器制造与维修、计算机应用等、汽车电子技术应用、电气技术应用、电子材料与元器件制造、电子电器应用与维修、微电子技术及器件制造等专业。

高等职业学校：电子信息工程技术、应用电子技术、通信技术、移动通信技术、物联网工程技术、微电子技术、智能产品开发、智能终端技术与应用、智能监控技术应用、电子电路设计与工艺、电子制造技术与设备、电子工艺与管理、光电技术应用、电子测量技术与仪器、物联网应用技术、集成电路技术应用、嵌入式技术与应用、汽车电子技术、汽车智能技术、电子产品质量检测、电子测量技术与仪器、移动互联网应用技术、计算机应用技术、软件技术、软件与信息服务等专业。

应用型本科学校：电子信息工程、电子科学与技术、通信工程、微电子学、微电子科学与工程、电子封装技术、光电信息科学与工程、信息工程、集成电路设计与集成系统、电磁场与无线技术、电波传播与天线、电子信息科学与技术、电信工程及管理、应用电子技术教育、人工智能、智能装备与系统、工业智能、计算机科学与技术、

软件工程、网络工程、物联网工程、智能科学与技术、区块链工程、电子与计算机工程等专业。

5. 面向职业岗位（群）

主要面向集成电路版图设计、集成电路验证、集成电路应用、电子硬件应用、集成电路生产线操作、集成电路测试、电路板开发及应用、集成电路封装设计等岗位。本科专业主要面向集成电路版图设计、模拟集成电路设计、数字集成电路设计、数模混合集成电路设计、集成电路验证、集成电路应用、电子硬件应用、集成电路生产线操作及管理、集成电路工艺开发、EDA 工具开发及应用等岗位。

6. 职业技能要求

6.1 职业技能等级划分

集成电路版图设计职业技能等级分为三个等级：初级、中级、高级，三个级别依次递进，高级别涵盖低级别职业技能要求。

【集成电路版图设计】（初级）：主要面向集成电路版图设计、集成电路验证、集成电路应用、电子硬件应用、集成电路生产线操作、集成电路测试、集成电路工艺开发、电路板开发及应用、集成电路封装设计等工作。

【集成电路版图设计】（中级）：主要面向集成电路版图设计、集成电路验证、集成电路应用、电子硬件应用、集成电路生产线操作、集成电路测试、集成电路工艺开发、电路板开发及应用、集成电路封装设计等工作。

【集成电路版图设计】（高级）：主要面向集成电路版图设计、模拟集成电路设计、数字集成电路设计、数模混合集成电路设计、集成电路验证、集成电路应用、电子硬件应用、集成电路生产线操作及管理、集成电路测试、集成电路工艺开发、电路板开发及应用、集成电路封装设计、EDA工具开发及应用等工作。

6.2 职业技能等级要求描述

表 1 集成电路版图设计职业技能等级要求（初级）

工作领域	工作任务	职业技能要求
1. 设计工艺库（PDK）内容	1.1 工艺规则文件的种类和内容	1.1.1 查看并编辑工艺规则层（Layer）和过孔（Via）信息
		1.1.2 查看并编辑器件（Device）和金属（Metal）信息
		1.1.3 查看并编辑各层的显示信息
	1.2 Aether 设计管理界面和工艺管理界面	1.2.1 查看并使用 Aether 设计管理界面
		1.2.2 图形化定义并使用各层、过孔、器件和金属信息
		1.2.3 图形化定义并使用各层的显示信息
	1.3 使用 PDK	1.3.1 使用基础库 analog 和 basic
		1.3.2 使用 0.18um PDK 各种基本器件
		1.3.3 建立并编辑库（Library）、元件（Cell）和视图（View）多层次的设计结构
2. 电路版图设计	2.1 电路版图布局	2.1.1 使用 Aether LE 工具基本命令操作，包括缩放、显示与去显、选中与去选、测量等
		2.1.2 执行各种基本布局操作，包括插入并编辑器件、移动、复制、对齐等
		2.1.3 安排小规模版图整体布局，如逻辑门和五管运放等
	2.2 电路版图布线	2.2.1 执行工具布线并调整线长、线宽
		2.2.2 执行各种基本绕线操作，包括移动、拉伸、环绕、自动打孔、Bus 线等
		2.2.3 针对小规模版图，如逻辑门和五管运放等，执行整体布线
	2.3 电路版图优化	2.3.1 调整并优化版图的布局
		2.3.2 调整并优化版图的布线
		2.3.3 执行版图隔离保护
3. 电路版图设计规则检查	3.1 DRC 文件	3.1.1 查看 DRC 文件中对各层的定义
		3.1.2 查看 DRC 文件中对各检查规则（DRC Rule）的定义
		3.1.3 查看设计规则检查的基本分类，包括间距、面积、Extension、Enclosure、密度检查等
	3.2 执行 DRC	3.2.1 使用 Argus DRC 工具
		3.2.2 配置 Argus DRC 工具

		3.2.3 执行 Argus DRC 工具
	3.3 查看 DRC 结果并修正 DRC 错误	3.3.1 使用并查看 Argus DRC-PVE 工具
		3.3.2 将 DRC 结果从 PVE 反标版图
		3.3.3 在版图上修正 DRC 错误
4. 电路版图原理图比较	4.1 LVS 文件	4.1.1 打开 Aether SE 工具并参考电路原理图
		4.1.2 查看 LVS 文件中对各层的定义
		4.1.3 查看 LVS 文件中对各检查规则（LVS Rule）的定义
	4.2 执行 LVS	4.2.1 使用 Argus LVS 工具
		4.2.2 配置 Argus LVS 工具
		4.2.3 执行 Argus LVS 工具
	4.3 查看 LVS 结果并修正 LVS 错误	4.3.1 使用并查看 Argus LVS-PVE 工具
		4.3.2 将 LVS 结果从 PVE 反标版图
		4.3.3 在版图上修正 LVS 错误
5. 电路图驱动版图生成（SDL）	5.1 执行 SDL	5.1.1 使用 Aether SE 工具中的 SDL
		5.1.2 安排小规模版图 SDL，如逻辑门和五管运放等
		5.1.3 调整 SDL 的边框和软 pin
	5.2 SDL 的对应和飞线	5.2.1 查看并使用 SDL 面板（SDL-Panel）中的器件对应关系
		5.2.2 查看并使用 SDL 的飞线，包括飞线的显隐、最小化飞线、布线飞线等
		5.2.3 针对小规模版图，如逻辑门和五管运放等，执行基于 SDL 的整体布局、布线
	5.3 利用 SDL 优化版图设计	5.3.1 使用 SDL 菜单
		5.3.2 针对小规模版图，如逻辑门和五管运放等，利用 SDL 优化整体布局
		5.3.3 针对小规模版图，如逻辑门和五管运放等，利用 SDL 优化整体布线

表 2 集成电路版图设计职业技能等级要求（中级）

1. 进阶的电路版图设计	1.1 电路版图布局	1.1.1 执行进阶的工艺管理和编辑
		1.1.2 执行各种进阶的布局操作，包括实时 DRC、自动衬底保护、自动金属填充等
		1.1.3 安排中等规模版图整体布局，如两级运放、LDO 等
	1.2 电路版图布线	1.2.1 执行进阶的布线操作并调整线长、线宽、线序等
		1.2.2 执行各种进阶的绕线操作，包括自动

		<p>打孔、图层逻辑运算、自动金属开槽等</p> <p>1.2.3 针对中等规模版图,如两级运放、LDO等,执行整体布线</p>
	1.3 电路版图优化	<p>1.3.1 对版图连线进行追踪 (Trace) 和短路查找 (Short Location)</p> <p>1.3.2 执行对版图层级的进阶操作,包括 EIP、Smash、Make Cell 等</p> <p>1.3.3 衬底保护环的进阶编辑和优化,包括 Stretch、Chop、Partial Chop、Reshape 等</p>
2. 进阶的电路版图设计规则检查	2.1 执行 DRC	2.1.1 查看设计规则检查的进阶分类
		2.1.2 Argus DRC 工具的进阶使用和详细配置
		2.1.3 使用 DRC 头文件
	2.2 查看 DRC 结果	2.2.1 Argus DRC-PVE 工具的进阶使用和详细配置
		2.2.2 对 DRC 结果进行分组和高亮等操作
		2.2.3 导出 DRC 结果成网页
	2.3 修正 DRC 错误	2.3.1 将 DRC 结果从 PVE 反标层次化版图
		2.3.2 执行 DRC Waive 操作
		2.3.3 针对中等规模版图,如两级运放、LDO等,在版图上层次化修正 DRC 错误
3. 进阶的电路版图原理图比较	3.1 执行 LVS	3.1.1 查看 LVS 检查的进阶分类
		3.1.2 Argus LVS 工具的进阶使用和详细配置
		3.1.3 使用 LVS 头文件
	3.2 查看 LVS 结果	3.2.1 Argus LVS-PVE 工具的进阶使用和详细配置
		3.2.2 对 LVS 结果进行分组和高亮等操作
		3.2.3 查看并载入 SVDB 库
	3.3 修正 LVS 错误	3.3.1 将 LVS 结果从 PVE 反标层次化版图
		3.3.2 执行 LVS Waive 和软连接等操作
		3.3.3 针对中等规模版图,如两级运放、LDO等,在版图上层次化修正 LVS 错误
4. 进阶的电路图驱动版图生成 (SDL)	4.1 执行 SDL	4.1.1 进阶使用 Aether SE 工具中的 SDL
		4.1.2 进阶使用 Aether SE 工具中的层次化 SDL
		4.1.3 安排中等规模版图 SDL,如两级运放、LDO 等
	4.2 SDL 的进阶操作	4.2.1 进阶使用 SDL 器件对应关系和飞线
		4.2.2 执行基于 SDL 的 Device Match、ECO

		和 Reuse Block 等操作
		4.2.3 针对中等规模版图,如两级运放、LDO 等,执行基于 SDL 的整体布局、布线
	4.3 利用 SDL 优化版图设计	4.3.1 进阶使用 SDL 菜单
		4.3.2 针对中等规模版图,如两级运放、LDO 等,利用 SDL 优化整体布局
		4.3.3 针对中等规模版图,如两级运放、LDO 等,利用 SDL 优化整体布线

表 3 集成电路版图设计职业技能等级要求 (高级)

工作领域	工作任务	职业技能要求
1. 电路原理图的设计和仿真	1.1 电路原理图的编辑	1.1.1 执行各种电路原理图 (Schematic) 编辑命令
		1.1.2 执行原理图生成符号 (Symbol), 并创建层次化电路原理图
		1.1.3 开发并编辑中等规模电路图, 如两级运放、LDO 等
	1.2 电路原理图前仿真	1.2.1 查看 0.18um PDK 的仿真模型文件
		1.2.2 针对中等规模电路图, 如两级运放、LDO 等, 使用并配置 Aether MDE 仿真环境
		1.2.3 针对中等规模电路图, 如两级运放、LDO 等, 配置并执行 Alps 仿真器
	1.3 波形查看与分析	1.3.1 执行静态工作点的原理图反标
		1.3.2 使用并配置 iWave 波形查看器
		1.3.3 使用计算器和波形测量功能
2. 寄生参数提取及后仿真	2.1 寄生参数提取	2.1.1 查看寄生参数提取源工艺文件并生成提取表 (Table) 文件
		2.1.2 针对中等规模电路图, 如两级运放、LDO 等, 配置并执行 RCExplorer 提取工具
		2.1.3 执行版图点对点寄生电阻提取
	2.2 版图后仿真	2.2.1 编辑仿真配置文件 Config View
		2.2.2 使用并配置 Aether MDE 的后仿真环境
		2.2.3 执行版图后仿真并查看波形结果
	2.3 分析和比较 DSPF 文件	2.3.1 运行并配置 DSPFGUI 工具
		2.3.2 对 DSPF 分析结果进行分析、排序和反标
		2.3.3 执行 DSPF 比较
3. EDA 设计方法	3.1 Linux 操作系统	3.1.1 查看 Linux 操作系统基本文件格式

概论	概论	3.1.2 执行 Linux 操作系统基本命令
		3.1.3 执行 Linux Shell 脚本
		3.2 EDA 开发方法概论
	3.2 EDA 开发方法概论	3.2.1 基于 C/C++的 EDA 程序开发概论
		3.2.2 基于脚本语言的 EDA 辅助开发概论
		3.2.3 EDA 开发编译环境
	3.3 EDA 基本算法概论	3.3.1 数值计算和电路仿真原理
		3.3.2 数值计算和寄生参数提取技术
		3.3.3 计算几何学和版图布局布线

参考文献

- [1] 中华人民共和国教育部,《中等职业学校专业目录》(2010年修订)[M].北京:高等教育出版社,2010-11.
- [2] 中华人民共和国教育部,《中等职业学校专业目录》增补专业(2019年)[Z].
- [3] 中华人民共和国教育部,《普通高等学校高等职业教育(专科)专业目录》(2015年)[Z].
- [4] 中华人民共和国教育部,《普通高等学校高等职业教育(专科)专业目录》2019年增补专业[Z].
- [5] 中华人民共和国教育部,《普通高等学校(本科)专业目录》(2012年)[Z].
- [6] GB50809-2012 硅集成电路芯片工厂设计规范

- [7] GB3834-1983 半导体集成电路CMOS电路测试方法基本原理
- [8] GB/T 12750-1991 半导体集成电路分规范
- [9] GB/T 16464-1996 半导体器件 集成电路总则
- [10] ISBN-9787121348228 中国集成电路产业全书
- [11] ISBN-9787030220318 数字集成电路物理设计
- [12] ISBN-9787030419590 混合信号设计方法学指导
- [13] ISBN-9787810897051 集成电路设计与九天EDA工具应用
- [14] ISBN-9787301296912 集成电路版图设计